

UNIVERSITATEA TEHNICĂ „Gheorghe Asachi” din IAȘI
FACULTATEA DE AUTOMATICĂ ȘI CALCULATOARE
DOMENIUL: Calculatoare și Tehnologia Informației
SPECIALIZAREA: Calculatoare

Implementarea unui microprocesor RISC după arhitectura setului de instrucțiuni RISC-V

Coordonator științific
Ș.l.dr.ing. Andrei Stan

Absolvent
Marcel Dumitru Ungurean

Iași, 2016

Implementarea unui microprocesor RISC după arhitectura setului de instrucțiuni RISC-V

Marcel Dumitru Ungurean

Rezumat

Proiectul își propune implementarea pe un FPGA (Field Programmable Gate Array) a unui microprocesor cu arhitectură RISC (Reduced Instruction Set Computer) după arhitectura setului de instrucțiuni RISC-V (“risk-five”) dezvoltată în cadrul Departamentului EECS al Universității Berkeley din California.

Prima etapă constă în definirea structurii sistemului de calcul RISC pentru microprocesorul care urmează a fi implementat în conformitate cu specificațiile date de arhitectura setului de instrucțiuni RISC-V. În prima fază se dorește realizarea implementării considerând doar setul de instrucțiuni pentru operarea cu numere întregi de lungime fixă pe 32 biți. Ulterior se va considera și adăugarea de extensii pentru operarea cu numere întregi de lungime fixă pe 64 biți, operarea cu numere în virgula mobilă cu simplă precizie sau dublă precizie.

Sistemul va avea 31 de regiștri de uz general care vor putea stoca valori întregi (X1-X31) plus registrul X0 care va conține valoarea 0 aceasta fiind o valoare constantă. Pe lângă acest set de regiștri mai există un registru adițional, un numărător (PC-Program Counter), care va conține adresa instrucțiunii curente.

Următoarea etapă presupune implementarea și simularea procesorului într-un limbaj de descriere hardware cum ar fi Verilog și mediul ModelSim. Dar fiindcă partea de verificare a unui astfel de model complex poate fi mare consumatoare de timp folosind un limbaj precum SystemVerilog pentru realizarea acestui lucru am decis folosirea limbajului de programare CHISEL (Constructing Hardware in a Scala Embedded Language).

Chisel este un limbaj de descriere hardware, dezvoltat de aceeași universitate Berkeley din California, care suportă descrierea de design-uri hardware avansate folosind generatoare de cod parametrizabile și limbaje hardware.

Am ales Chisel în principal pentru motivul ca poate genera module/componente descrise, atât codul Verilog care sa poată fi sintetizabil cat și un simulator software C++ de viteza relativ mare. Astfel pe parcursul dezvoltării proiectului voi putea realiza în același timp și verificarea funcțională a modulelor descrise.

Ultima etapă presupune sintetizarea codului Verilog generat, încărcarea acestuia pe un FPGA bazat pe tehnologia Xilinx și testarea acestuia prin rularea unor programe de complexități diferite pentru a analiza diverse aspecte de performanță a procesorului implementat.