

Reducerea globală aproximativă a defectelor bazată pe simulare

Rezumat

Funcționarea eronată a unui echipament apare în urma erorilor de proiectare a sistemului respectiv, sau în urma defectărilor elementelor componente. Evidențierea acestor stări eronate se realizează prin introducerea în structura echipamentului a unor componente suplimentare (hardware sau software), care să detecteze modulele ce funcționează eronat.

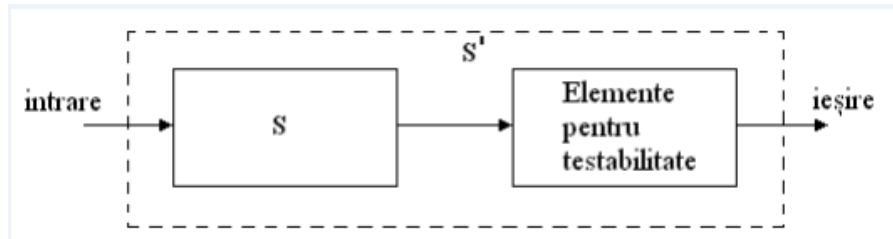


Figura 1. Structura unui echipament testabil

Pentru a testa un circuit digital, modulul de testare este prevăzut cu un program automat de generare a unor seturi de teste, ce indică posibile defecte fizice. O dată cu creșterea complexității circuitului digital, numărul fizic de defecte va crește, ceea ce ne va conduce la o încetinire a programului de testare folosit. [1]

Generarea unui set de teste pentru un circuit combinațional se realizează pe baza descrierii circuitului în format de tip netlist. Acesta conține o descriere detaliată a tuturor conexiunilor, informații despre intrări, ieșiri, porți logice și defecte specifice pentru fiecare conexiune. Fișierele de tip netlist pot fi rulate cu ajutorul programului ISCAS. Acesta generează un fișier în care sunt enumerați vectorii de test necesari pentru testarea întregului circuit numit *TestVectors* și un fișier raport care conține informații despre defectele detectate de fiecare vector de test în parte numit *Report*.

După generarea celor două tipuri de fișiere, *TestVectors* și *Report*, putem realiza analiza circuitului și reducerea numărului de defecte la nivel local.

Circuitele de dimensiuni mari vor dispune de un număr mare de defecte. De aceea, este benefic să minimizăm numărul de defecte când este posibil. *Reducerea defectelor* este procedeul de diminuare a numărului de defecte prin relații de echivalență și dominanță. Aceste două tipuri de relații sunt aplicate pentru fiecare vector de test și defectele specifice acestuia.

În document va fi prezentată o metoda de aproximare a reducerii numărului de defecte la nivel global folosind un set de vectori de test oarecare.

Metoda de reducere a numărului de defecte poate fi ușor de aplicat la nivel local pentru porți logice, dar nu este posibil de folosit la nivel global pentru circuite mari deoarece necesită un număr mare de resurse de timp și spațiu, astfel programul de testare fiind încetinit.

Pentru a rezolva această problemă, se propune împărțirea circuitului inițial în circuite mai mici. Acestea vor fi analizate în paralel iar ieșirile rezultate vor fi reunite formând astfel ieșirea circuitului la nivel global.

Rezultatele experimentale arată că metoda de reducere diminuează drastic numărul de defecte din circuite cu resurse puține dacă este aplicată la nivel local.